


MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP5226351
Publication date: 1993-09-03
Inventor(s): YAMAMURA KANJI
Applicant(s):: SHARP CORP
Requested Patent:  JP5226351
Application Number: JP19920029136 19920217
Priority Number(s):
IPC Classification: H01L21/331 ; H01L29/73
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a high-frequency and high-speed vertical type PNP transistor by forming a flat low-doped collector area by suppressing the creeping-up of a buried collector layer to an epitaxial layer side by performing diffusion heat treatment, etc., after continuously performing ion implantation two or more times into the epitaxial layer with different acceleration energy.

CONSTITUTION: After a buried area 5 is formed on a semiconductor substrate 1 through a photolithographic process, an epitaxial layer 3 is formed on the entire surface of the substrate 1 and a resist 2c is formed on the layer 3 through its oxide film 4. Then an opening is formed by removing the resist 2c and film 4 on the part of layer 3 proposed to a low-doped collector layer 6a and ions are continuously implanted into the opening two or more times with different acceleration energy and diffusion heat treatment is performed. For example, boron ions are implanted by changing the acceleration energy from 500KeV to 50KeV through 300KeV, 150KeV, and 100KeV.

Data supplied from the esp@cenet database - I2

特開平5-226351

(43)公開日 平成5年(1993)8月3日

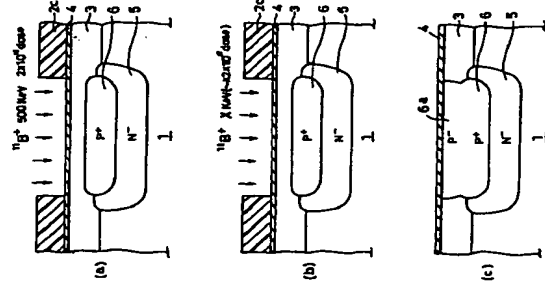
(51)InCt. H O I L 21/331 28/73	機別記号	庁内整理番号	F I	技術表示箇所
		7377-4M	H O I L 28/ 72	
審査請求 未請求 請求項の数 1 (全 4 頁)				
(21)出願番号	特願平4-29198	(71)出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号 山村 哲司 大阪府大阪市阿倍野区長池町2番2号シャ ープ株式会社内		
(22)出願日	平成 4 年 (1992) 2 月 17 日	(72)発明者 (74)代理人 井理士 西田 新		

(54)【発明の名称】半導体装置の製造方法

(57) 【夏約】

【目的】 埋込みコレクタ層のエピタキシャル層側への
 高い上りを抑え、かつフラットな低濃度コレクタ領域
 を形成することができ、高周波かつ高濃度型のPNPT
 ランジスタを実現する製造方法を提案する。

【構成】 低コネクタ層を形成すべきエピタキシャル層上方の開口部に異なる加減圧エネルギで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有す。



(2)

特開平5-226351

【特許請求の範囲】

【請求項1】 半導体基板上に、フォトリソグラフィ工程により環状パターンの形成された後、その基板全面にエポキシシヤル層を形成し、その被そのエポキシシヤル層上に酸化膜を介してソリッドを形成した後、低コングラム上に酸化膜を介してソリッドを形成した後、低コングラム層を形成すべきエポキシシヤル層上方の上記レジストおよび酸化膜を除去することにより開口部を設け、その後、その開口部に風干力でエポキシ樹脂を2回以上塗布した後、その開口部を行った後、放熱熱処理を行う工程を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】
【産業上の利用分野】本発明は半導体装置の製造方法に
関し、更に詳しくはバイポーラIC、縦型PNPトラン
ジスタに関する。

【0002】
【従来の技術】図4および図5に、従来技術における一般的な微型PNPトランジスタのコレクタ部の製造方法を示す。

【0003】まず、P型シリコン基板10上にレジスト
11aを形成し、底面分層用領域12形成のためのフォ
トリソグラフィ工程により、31P+のイオン注入を行う
〔図4(a)〕。

【0004】次に、拡散熱処理後、底面分粗用領域12上に埋込みコネクタ領域形成のためのフォトリソングラフイ工程により、高濃度 ($\sim 1.0 \times 10^{14}$ dose) の11B+のイオン注入を行う(図4(b))。

【0005】次に、エピキシャル成長を行い、P型シリコン基板10上にエピキシャル層13を形成する。また、NPNトランジスタ部の分離用のP+領域14を形成する〔図4(c)〕。

【0006】 続いて、コレクタ領域14a形成のための
ファトリソングラフィ工程により、低濃度（ $\sim \times 10^{12}$ 個/
cm²）のnB+のイオン注入を行う（図5（a））。その
後、1000℃で3時間～5時間程度の拡散熱処理を行
い、低濃度コレクタ領域14aを形成する（図5
（b））。

【0007】この時のコレクタ領域14の不規則濃度プロファイルを図6に示す。この図に示すように、エキシマ層13の不規則濃度は、所定の拡散層の深さまで減少し、低コレクタ層における拡散濃度は一定ではな

【0008】
【発明が解決しようとする課題】ところで、従来の技術
では、縦型P/NPトランジスタを実現するために、低
抵抗のコンタクト領域が必要であるが、そのコンタクト領域
の形成はエピソード成長後、フォトリソング、イ
オン注入、長時間にわたる加熱処理により形成されて
いた。

【0009】ところが、この長時間拡散処理により、高

遊走域拡大みコンコク局のエピキシャル層側の、這い上がりによる面下の低下が問題となっており、このため、エピキシャル層を十分厚くする必要があった。しかし、一方高層部かつ高速度型のP N Pトランジスタを実現するための原因として、エピキシャル層を薄く化しなればならず、その両立には困難を伴っていた。

【0010】本発明はこれらの点に鑑みてなされたものであり、例えばコンタクト層のエピタキシャル層側の遠上層を加え、かつフラットな低抵抗コンタクト形成を形成することができ、高周波かつ高速駆動のPNPトランジスタを実現する製造方法を提供することを目的とする。

[0011]

【問題を解決するための手段】上記の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、フォトリソグラフィ工程により導線が形成され、その後、その基板上全面にエピタキシャル層を形成し、その後そのエピタキシャル層上に酸化膜を介してレジストを形成した後、低コンダクタ層を形成すべきエピタキシャル層上方の上記レジストおよび酸化膜を除去することにより開口部を設け、その後、その開口部に異なる組成の酸化エポキシで2回以上塗布してイオン注入を行った後、該酸化エポキシを行う工程を有することによって特許付けられる。

[0012]

【作用】本実験は例題に対して、その作用を説明する図 3 に基づいて説明する。イオンの拡散の深さは、イオンの加速エネルギーが大きくなるにつれて大きくなる。したがって、加速エネルギーが 500 KeV 、 500 KeV 、 1.50 KeV 、 1.00 KeV 、 50 KeV と変化させ、連続してイオン注入を行うと、それぞれの拡散分布は、(a) 図に示すように、それぞれ d_1 、 d_2 、 d_3 、 d_4 、 d_5 の濃度プロファイルとなる。さらに、この状態の基礎に拡散熱処理を行うと、拡散深さに対する不規則な濃度は一定となり、(b) 図に示すように、低濃度領域から高濃度のどの拡散深さにおいてもフラットな部分がある濃度プロファイルとなる。

[0018]

【実施例】図1乃至図2は本發明實施例を逐時的に説明する図である。まず、P型シリコン基板1上にレジスト2aを形成し、底面分離用領域6形成のためのフォトリソグラフィ工程により、31P+のイオン注入を行う(図1(a))。

【0014】次に、拡散熱処理後、底面分離用領域6上に埋込みコレクタ領域形成のためのフォトリソグラフィ工程により、高濃度（ $\sim 1.014 \text{ dose}$ ）の H^+ のイオン注入を行う（図1（b））。

する【図1(c)】。

【0016】次に、エピタキシャル層3上に酸化膜4を形成した後、その酸化膜4上にレジスト2cを形成して、コレクタ領域形成のためのフォトリソグラフィ工程により、高エネルギー、低ドーズの1回目のボロンのイオン注入を行う。本実施例ではこの時の加速エネルギーは600KeV、ドーズ量は 2×10^{12} dose/面積で行う【図2(a)】。

【0017】続いて、ドーズ量は 2×10^{12} doseとして変化させずに一定とし、加速エネルギーを変化させて2回目、3回目、4回目、5回目と連続してイオン注入を行う。この時のエネルギーはそれぞれ300KeV、150KeV、100KeV、50KeVと変化させてイオン注入を行う【図2(b)】。

【0018】その後、1000℃、30～60分の拡散熱処理を行い、低濃度コレクタ層6aを形成する。【図2(c)】。このように形成された低濃度コレクタ領域の不純物濃度のプロファイルを図3に示す。

【0019】ここで、(a)図は、上述した加速エネルギーのみを変化させて、5回のイオン注入を行った後のプロファイル、また、(b)図は、コレクタ領域形成のための拡散熱処理を行った後のプロファイルを示す。

【0020】すなわち、加速エネルギーを500KeV、300KeV、150KeV、100KeV、50KeVと変化させ、連続してイオン注入を行うと、それぞれの拡散分布は、(a)図に示すように、それぞれd1、d2、d3、d4、d5の濃度プロファイルとなる。さらに、この状態の基板に拡散熱処理を行うと、拡散深さに対する不純物濃度は一定となり、(b)図に示すよう

に、低濃度コレクタ領域6aのどの拡散深さにおいてもフラットな濃度プロファイルとなる。

【0021】

【発明の効果】以上説明したように、本発明によれば、低コレクタ層を形成すべきエピタキシャル層上方の開口部に異なる加速エネルギーで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有するよう構成したから、短い熱処理時間で低コレクタ層をフラットに形成でき、したがって埋込みコレクタ層のエピタキシャル層側への深い上向きを抑制できる。その結果、エピタキシャル層の薄層化が可能となり、高周波かつ高速動作型PNPトランジスタが実現できる。また、拡散熱処理は従来の比べ、著しく短縮でき有益である。

【図面の簡単な説明】

【図1】本発明実施例を随時的に説明する模式断面図

【図2】本発明実施例を随時的に説明する模式断面図

【図3】本発明実施例を説明する図

【図4】従来の例を随時的に説明する図

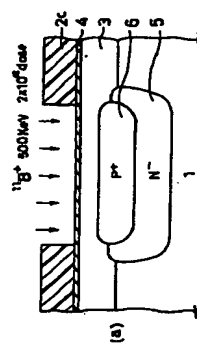
【図5】従来の例を随時的に説明する図

【図6】従来の例を説明する図

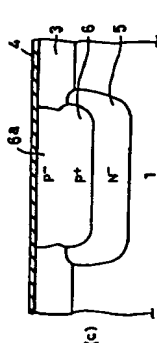
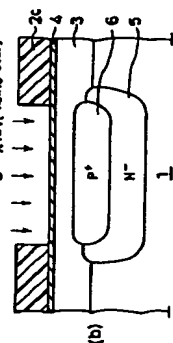
【符号の説明】

- 1・・・P型基板
- 2a, 2b, 2c・・・レジスト
- 3・・・エピタキシャル層
- 4・・・酸化膜
- 5・・・底面分離用領域
- 6・・・P+領域
- 6a・・・低濃度コレクタ層

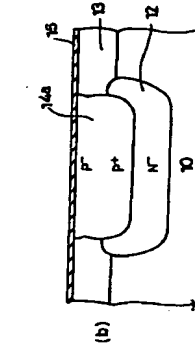
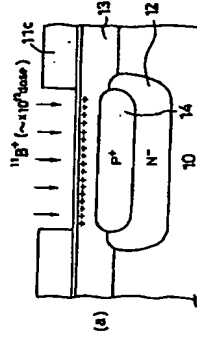
【図2】



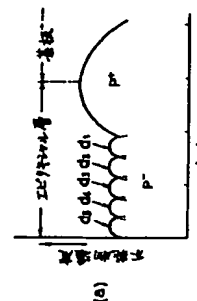
【図2】



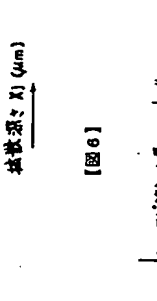
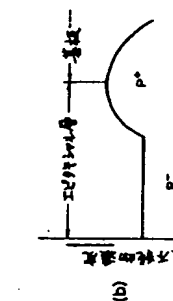
【図3】



【図3】



【図3】



【図4】

